**4. Descritivo de operação para o circuito montado**

Durante o experimento, foi proposto fazer a simulação e montagem prática de três circuitos, os quais envolviam *Latches* e *Flip Flops*. Em cada um deles deveria ser descoberta a tabela verdade, tanto por meio da simulação quanto pela montagem prática.

**4.1. Circuito 1**

Este circuito seria um simples *Latch* montado com portas lógicas NAND, como pode ser visto na figura abaixo:

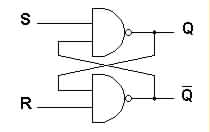
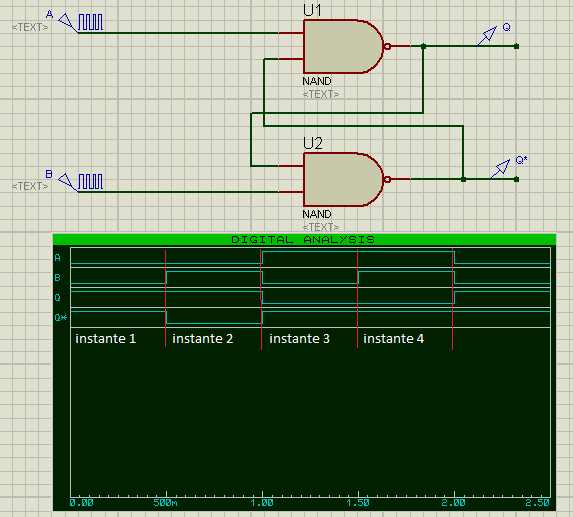


Figura 1 - Latch com portas NAND (referência: http://www.inf.ufsc.br/ine5365/circseq.html)

No caso deste circuito, o Set (S) e o Reset (R) são ativados em nível lógico baixo, pois o circuito foi montado com portas NAND. Se fosse com portas NOR, o contrário aconteceria.

Então, se tivermos o Set em nível lógico baixo e o Reset em alto, estaremos ligando a saída Q, e obviamente desligando a Q\*. Se tivermos Set em alto e Reset em baixo, aconteceria o inverso do que aconteceu no caso anterior. Quando estivermos os dois em alto, o circuito manteria a informação anterior, pois os dois “modos” estão desligados. Porém, quando temos os dois em nível lógico baixo, ocorre uma condição inválida, pois estaremos “setando” e “resetando” o circuito ao mesmo tempo, provocando um Q = Q\*, ou seja, é uma situação fora do normal.

**4.1.1. Simulação**



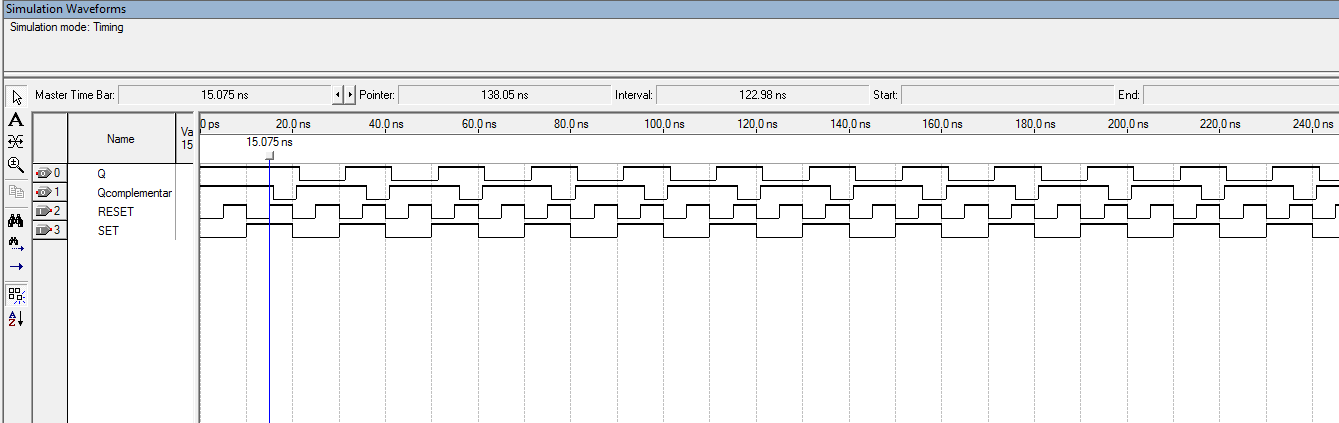
Figura 2 - Circuito 1 montado no Proteus

Figura 3 - Diagrama de Tempos no Quartus II

Como pode ser visto na figura acima, foi comprovado na simulação tudo o que foi dito a respeito do funcionamento deste circuito.

|  |  |  |  |
| --- | --- | --- | --- |
| Instantes | Set (A) | Reset (B) | Saídas |
| Instante 1 | 0 | 0 | Q = 1 e Q\* = 1 - Inválido |
| Instante 2 | 0 | 1 | Q = 1 e Q\* = 0 |
| Instante 3 | 1 | 0 | Q = 0 e Q\* = 1 |
| Instante 4 | 1 | 1 | Q = 0 e Q\* = 1 - Não varia |

**4.1.2. Montagem prática**

Na montagem prática também não foram obtidos muitos problemas, tanto é que foram obtidos os mesmos resultados da simulação.

**4.2. Circuito 2**

Este circuito é um pouco mais extenso que o último, porém ainda não deixa de ser bem simples. Neste, utiliza-se 4 portas NAND e um Clock determinando quando ocorrerá a mudança dos níveis lógicos nas saídas Q e Q\*. O circuito montado é este da figura abaixo:

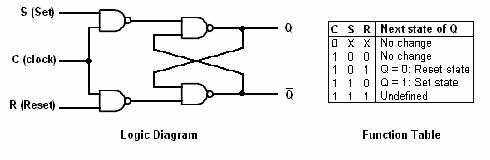


Figura 4 - Latch comandado por clock (referência: http://www.codeproject.com/Articles/24577/Circuit-Engine)

O que difere esse circuito do anterior é a presença do Clock e o fato de o Set e o Reset passarem a ser ativados em nível lógico alto. Com isso, tudo passa a ser o contrário do circuito anterior. O estado inválido, por exemplo, antes ele ocorria quando tinha-se nível lógico baixo no Set e Reset. Agora esse estado inválido acontece quando temos nível lógico alto nos mesmos. E assim por diante.

Porém, a principal diferença desse circuito em relação ao anterior é a presença do Clock. É ele que permite mudanças nas saídas Q e Q\*. Tudo o que foi dito acima só ocorrerá se o Clock estiver em nível lógico alto também. Caso ele estiver em nível lógico baixo, o circuito irá sempre guardar a informação anterior, independemente do que tiver no Set e Reset.

A figura abaixo resume tudo o que foi dito a respeito do funcionamento deste circuito:

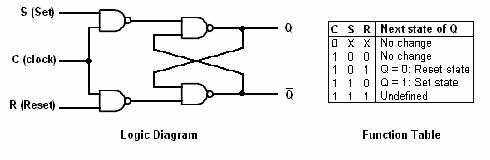


Figura 5 - Tabela Verdade do Circuito 2 (referência: http://www.codeproject.com/Articles/24577/Circuit-Engine)

**4.2.1. Simulação**

A simulação novamente comprovou o que foi dito na teoria. Percebe-se do instante 1 ao 4, em que o Clock é 0, não houve mudança alguma nas saídas, independemente do que tinha no Set e Reset. A partir do instante 5, o Clock passa a ser 1 e então passa a valer o níveis lógicos do Set e Reset, interferindo nas saídas Q e Q\*.

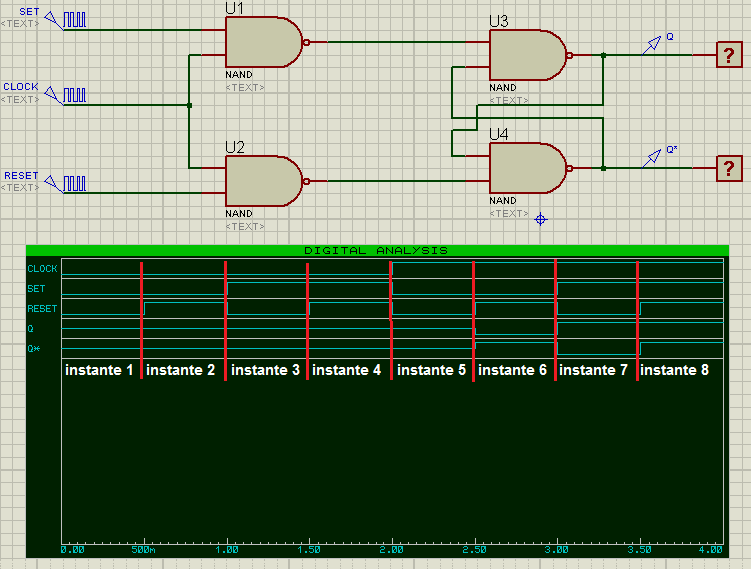


Figura 6 - Simulação do Circuito 2 no Proteus

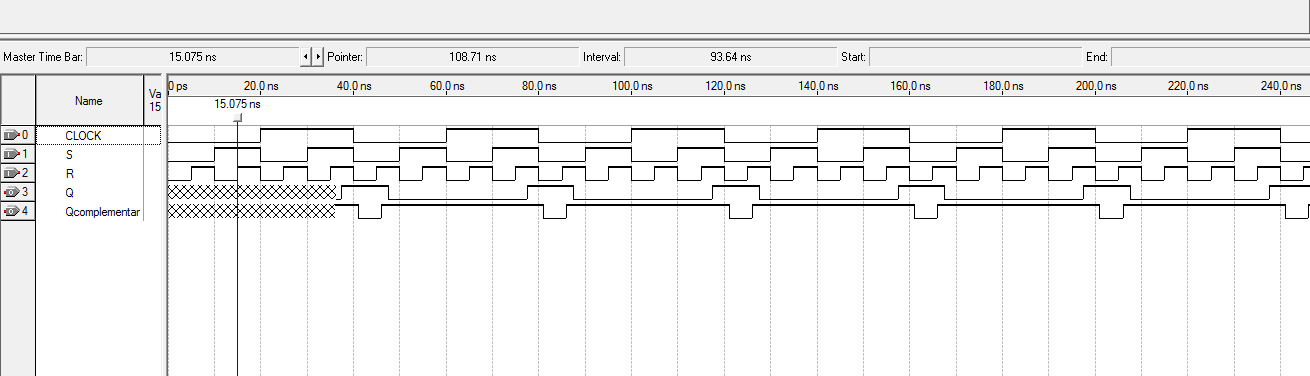


Figura 7 - Diagrama de Tempos do Circuito 2 no Quartus II

**4.2.2. Montagem Prática**

**4.3. Circuito 3**

Diferentemente dos dois circuitos anteriores, esse se trata de um *Flip Flop*, também montado com portas lógicas NAND. O circuito da figura abaixo, basicamente faria a função de um *Flip Flop JK*. Porém, este é sensível à borda de descida do Clock.

****

Figura 8 - Circuito 3 montado no Proteus